



WASEDA UNIVERSITY
Press Release

低消費電力の次世代ハイビジョン用(4k x 2k)

ビデオ復号 LSI を開発

早稲田大学大学院情報生産システム研究科(北九州市若松区)の後藤敏研究室は上海交通大学のペイリン・リュ研究室と共同で、次世代フルハイビジョン向けの低消費電力のビデオ復号 LSI の開発に成功し、その成果を 2010 年 6 月 18 日に米国ハワイ市ホノルルで開催されます VLSI シンポジウム(2010 Symposia on VLSI Technology and Circuits) で発表を致します。

ビデオデータはそのままのデータはサイズが極めて大きいため、1/10~1/20 程度の圧縮処理を行い(符号化) データの転送後、伸張処理(復号化)でデータを復元することが行われます。ハイビジョン用ビデオは家庭用ビデオレコーダにおいて広く使われてきており、圧縮方式として MPEG2 と呼ばれる世界標準規格が使われてきました。最近、圧縮度を約 2 倍に向上させた H.264 規格が出現し、画素数も現在のフルハイビジョン(1920x1080)に代わって、(4096x2160)というより高精細なビデオカメラやレコーダが注目され、世界各国で研究開発競争が始まっております。またグリーン IT の一環として、低消費電力を実現するビデオレコーダの開発が強く要請されています。

早稲田大学と上海交通大学は共同で世界に先駆けて 4096x2160 対応の H.264 復号 LSI を低消費電力で実現することに成功しました。開発したビデオ復号 LSI の特徴は以下の通りです。

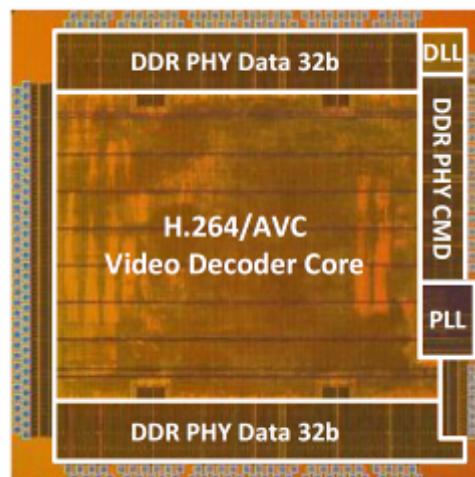
- (1) H.264/AVC ハイプロファイル標準仕様に基づくデコーダで、4096x2160 画素の動画を 60 枚/秒処理できます。
- (2) 処理するマクロブロック順序の最適化、フレームのロスレス圧縮方式、並列処理による高速化等の新技術を開発することで、外部 DRAM とデコーダエンジン間の転送量を従来と比べて 38%削減しました。
- (3) 復号チップの電力消費を 4096x2160@60fps で 189mW を達成し(SMIC 0.90nm ルール)、従来の復号チップに比べて、55%~64%の消費電力削減、DRAM も 60%の消費電力削減を図りました(設計ルールが異なるためスケーリングを行った結果)

極めて低消費電力で回路規模の小さな LSI を開発できたことで、高品質な家庭用ビデオ等のより大きなマーケットを開拓できると期待できます。本研究開発は文部科学省が福岡県へ委託した知的クラスタプロジェクト(第2期)の中で生まれたであり、今後、成果を企業へ移転し事業化に向けて努力する予定です。

【問合せ先】

早稲田大学大学院 情報生産システム研究科 教授 後藤 敏

| | |
|-----------------------|---|
| Technology | SMIC 90nm G 1P9M CMOS |
| Supply voltage | 1.0V Core, 1.8V/2.5V I/O |
| Die size | 4x4mm ² |
| Package | 176-pin LQFP |
| Gates/SRAM | 662K/59.6KB |
| Ext. Memory | 64b LPDDR/DDR2 |
| Core power | 189mW@175MHz (4096x2160@60fps) 176mW@166MHz (3840x2160@60fps) 48mW@36MHz (1920x1080@60fps) |



開発したチップ

Comparison

| | This Work | VLSI'09 [1] | JSSC'07 [2] |
|---|-----------------|-----------------------------|------------------------------|
| Video format(s) | H.264 HP | H.264 HP, MPEG-1/2, AVS | H.264 MP |
| Max. throughput | 4096x2160@60fps | 1920x1080@60fps | 1920x1080@30fps |
| Gates/SRAM | 662K/59.6KB | 367K/11.0KB | 160K/4.5KB |
| DRAM config. | 64b DDR | 32b DDR | 32b DDR + 32b SDR |
| Technology | 90nm/1.0V | 0.13μm/1.2V | 0.18μm/1.8V |
| Core power | 189mW | 257mW | 320mW |
| Scaled & normalized core power | 0.36mJ/Mpixels | 1.0mJ/Mpixels ¹⁾ | 0.79mJ/Mpixels ²⁾ |
| Normalized DRAM power | 1.11mJ/Mpixels | 2.65mJ/Mpixels | - |

$$1) Power_{90} = Power_{130} \left(\frac{V_{130}}{V_{90}} \right)^2 \left(\frac{C_{130}}{C_{90}} \right) = Power_{130} \cdot 2.08$$

$$2) Power_{90} = Power_{180} \left(\frac{V_{180}}{V_{90}} \right)^2 \left(\frac{C_{180}}{C_{90}} \right) = Power_{180} \cdot 6.48$$

従来の成果との性能比較

発表論文(This work)

A 530Mpixels/s 4096x2160@60fps H.264/AVC High Profile Video Decoder

Chip

Dajiang Zhou¹, Jinjia Zhou¹, Xun He¹, Ji Kong², Jiayi Zhu², Peilin Liu², and Satoshi Goto¹

¹ Graduate School of Information, Production and Systems, Waseda University, 2-7 Hibikino, 808-0135, Japan

² Department of Electronic Engineering, Shanghai Jiao Tong University, China

[1] Dajian Zhou, Peilin Liu and Satoshi Goto, "A 1080P@60fps Multi-standard Decoder Chip Designed for Power and Cost Efficiency in a System Perspective", Symposia on VLSI Technology and Circuits, Kyoto, Japan

[2] C.-C. Lin, et al., "A 160k gates/4.5kB SRAM H.264 video decoder for HDTV applications," *IEEE JSSC*, vol. 42, no. 1, pp. 170–182, Jan. 2007.